

**Arrangement for addressing memory in a parallel-processing strip designed processor, such as a SIMD or super-scalar processor, whereby a local address generation unit is used in addition to an address generation unit**

Publication number: DE10159283 (A1)

Publication date: 2003-06-12

Inventor(s): DRESCHER WOLFRAM [DE], BETZINGER HELGE [DE]

Applicant(s): SYSTEMONIC AG [DE]

Classification:

- International: G06F9/345; G06F9/355; G06F9/34; (IPC1-7): G06F12/02

- European: G06F9/345; G06F9/355A

Application number: DE20011059283 20011204

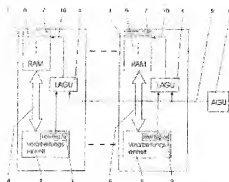
Priority number(s): DE20011059283 20011204

Cited documents:

□ EP0938868 (A2)

Abstract of DE 10159283 (A1)

Arrangement comprises a processor for parallel data processing that is divided into a number of parallel strips (1) each comprising a processing unit (2), a part of a memory assembly (5) and an address generation unit (AGU) (6). A local AGU (LAGU) (4) is assigned to each processor strip that is connected to the AGU on one side and the strip address memory on the other side. An independent claim is made for a method for address generation of a strip designed processor in which address generation is carried out in a strip specific manner.



Data supplied from the esp@cenet database — Worldwide



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

# Offenlegungsschrift DE 101 59 283 A 1

51 Int. Cl.7:  
G 06 F 12/02

21 Aktenzeichen: 101 59 283.3  
22 Anmeldetag: 4. 12. 2001  
43 Offenlegungstag: 12. 6. 2003

DE 101 59 283 A 1

17 Anmelder:  
Systemonic AG, 01099 Dresden, DE  
  
18 Vertreter:  
Patentanwälte Lippert, Stachow, Schmidt &  
Partner, 01309 Dresden

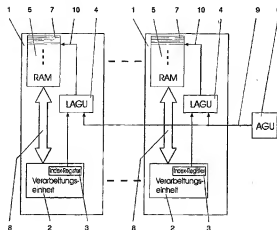
19 Erfinder:  
Drescher, Wolfram, Dipl.-Ing., 01099 Dresden, DE;  
Betzinger, Helge, Dipl.-Ing., 01099 Dresden, DE  
  
52 Entgegenhaltungen:  
EP 06 38 868 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren und Anordnung zur Adressgenerierung in einem Prozessor

57 Der Erfindung, die eine Anordnung, bestehend aus einem Prozessor zur parallelen Datenverarbeitung, der in mehrere parallel zueinander angeordnete Streifen eingeteilt ist, die jeweils eine Verarbeitungseinheit, einen Teil einer Speicherbaugruppe und eine Adressgenerierungseinheit beinhalten und ein Verfahren zur Adressgenerierung in einem derartigen Prozessor betrifft, bei dem eine globale Adresse generiert wird, mittels derer ein Speicher adressierbar ist, liegt die Aufgabe zugrunde, einen von einander unabhängigen Datenzugriff einzelner Verarbeitungseinheiten auf die zugehörigen Elemente in einem gemeinsamen Gruppenspeicher zu realisieren. Dies wird anordnungsseitig dadurch gelöst, dass für mindestens einen der Streifen eine lokale Adressgenerierungseinheit (LAGU) angeordnet ist, die einerseits mit der AGU und andererseits mit einem Streifenadressspeicher verbunden ist und dass der Streifenadressspeicher aus einem dem Streifen zugeordneten Index-Register besteht. Die verfahrensseitige Lösung besteht darin, dass die Adressgenerierung streifenspezifisch erfolgt, wobei in einem Streifenadressspeicher streifenspezifische Werte gespeichert werden und die globale Adresse mit dem streifenspezifischen Wert aus dem Streifenadressspeicher zur streifenspezifischen Adresse verarbeitet wird.



DE 101 59 283 A 1

[0001] Die Erfindung betrifft eine Anordnung bestehend aus einem Prozessor zur parallelen Datenverarbeitung, der in mehrere parallel zueinander angeordnete Streifen eingeteilt ist, die jeweils eine Verarbeitungseinheit und einen Teil einer Speicherbaugruppe beinhalten und einer Adressgenerierungseinheit (AGU = Address-Generation-Unit).

[0002] Die Erfindung betrifft auch ein Verfahren zur Adressgenerierung in einem streifenweise aufgebauten Prozessor zur parallelen Datenverarbeitung bei dem eine globale Adresse generiert wird mittels derer ein Speicher adressierbar ist.

[0003] Aus der DE 198 35 216 A1 ist eine Prozessoranordnung zur parallelen Datenverarbeitung bekannt, bei der mehrere Streifen parallel zueinander angeordnet sind. Jeder dieser Streifen besitzt eine eigene Datenverarbeitungseinheit sowie einen zugeordneten Speicherstreifen, der ein Teil des Gruppenspeichers ist. In einem Steuerwerk ist normalerweise eine AGU angeordnet, die eine globale Adresse, welche üblicherweise auch als Basisadresse bezeichnet wird, für alle Datenspeicherstreifen generiert.

[0004] Soll beispielsweise ein Datum aus einem zugeordneten Speichersstreifen in das Eingangsregister der Verarbeitungseinheit übernommen werden, erzeugt die AGU die entsprechende globale Speicheradresse. Diese Speicheradresse ist ein Zeiger auf eine Datengruppe mit mehreren Elementen im Gruppenspeicher. Jedem dieser Elemente ist eine Verarbeitungseinheit zugeordnet, in die die Daten übernommen werden. Die Adresse steht für alle Streifen gleichzeitig zur Verfügung, das heißt auch für diejenigen, die andere Werte übernehmen sollen.

[0005] Damit müssen von der AGU für alle notwendigen Streifen nacheinander die Adressen der entsprechenden Datengruppen generiert werden, aus denen die Elemente für die Verarbeitungseinheiten übernommen werden. Der gleiche Aufwand kann auch bei Schreiboperationen in den Gruppenspeicher notwendig sein.

[0006] Diese Adressgenerierung durch die AGU erfolgt nacheinander und bewirkt damit eine auf mehrere Prozessorte verteilte langsame Verarbeitung.

[0007] Der Erfindung liegt die Aufgabe zugrunde, einen voneinander unabhängigen Datenzugriff einzelner in den Streifen eines Prozessors zur parallelen Datenverarbeitung angeordneter Verarbeitungseinheiten auf die zugehörigen Elemente in einer Speicherbaugruppe zu realisieren.

[0008] Gemäß der Erfindung wird die Aufgabe anordnungsseitig dadurch gelöst, dass für mindestens einen der Streifen eine lokale Adressgenerierungseinheit (LAGU) angeordnet ist, die einerseits mit der AGU und andererseits mit einem Streifenadressenspeicher verbunden ist.

[0009] Die Aufgabe der lokalen Adressgenerierungseinheit besteht in der Erzeugung einer streifen spezifischen Adresse. Diese Adresse ist die Grundlage für die Übernahme streifen spezifischer Elemente aus einem zugeordneten RAM-Speicherbereich und damit für die Möglichkeit der parallelen Datentübernahme von Elementen die nicht unter einer globalen Adresse (Datengruppe) im Speicher abgelegt sind und in die Verarbeitungseinheiten übernommen werden müssen. Die Basis für die streifen spezifische Adresse ist die globale Adresse der AGU (Basisadresse), die mit einem Wert aus dem Streifenadressenspeicher (Offset) verknüpft wird.

[0010] In einer günstigen Ausführung der Erfindung ist vorgesehen, dass der Streifenadressenspeicher aus einem dem Streifen zugeordneten Index-Register besteht.

[0011] Der zur Bildung der streifen spezifischen Adresse auf Grundlage der globalen Adresse der AGU notwendige

Wert wird in einem Index-Register, welches dem Streifen logisch zugeordnet ist, gespeichert. Der Inhalt des Registers kann aufgabenspezifisch geändert werden, er kann beispielsweise das Ergebnis einer Operation der Verarbeitungseinheit selbst sein. Es können auch mehrere Index-Register zur Verfügung stehen.

[0012] In einer weiteren günstigen Ausführung der Erfindung ist vorgesehen, dass das Index-Register lokal im Streifen-Layout angeordnet ist.

[0013] Diese Anordnung wird gewählt, um das Schaltungs-Layout entsprechend logisch zu strukturieren.

[0014] In einer weiteren Ausgestaltung der Erfindung ist vorgesehen, dass die Speicherbaugruppe ganz oder teilweise durch einzelne RAM-Speicher mit integriertem Adressdecoder, die den Streifen zugeordnet sind, aufgebaut ist.

[0015] Da mit Hilfe der lokalen Adressgenerierungseinheit (LAGU) eine streifen spezifische Adresse erzeugt wird, muss die Adressdecodierung für jeden Streifen individuell durchgeführt werden. Dies führt zur Aufteilung der Speicherbaugruppe in einzelne, den Streifen zugeordnete RAM-Speicher mit integriertem Adressdecoder. Wird die gesamte Speicherbaugruppe in einzelne RAM-Speicher mit integriertem Adressdecoder eingeteilt, kann das Prinzip der streifen spezifischen Adressgenerierung über den gesamten

zum Streifen gehörigen Speicheradressbereich angewendet werden. Für viele Anwendungen ist es ausreichend, nur einen bestimmten Adressbereich der Speicherbaugruppe nach diesem Prinzip aufzubauen. In diesem Fall wird im verbleibenden Teil der Speicherbaugruppe die Auswahl der Datengruppen, wie im Stand der Technik üblich, durch einen zentralen Adressdecoder, an dem die globale Adresse der AGU anliegt, durchgeführt. Diese Variante reduziert den Aufwand bei der Implementierung der Adressdecoder in den einzelnen Streifen.

[0016] In einer weiteren Ausgestaltungsform der Erfindung ist vorgesehen, dass die Anzahl der Adressleitungen eines Index-Register kleiner als die Anzahl der Adressleitungen der AGU ist.

[0017] Ist nur in einem Teil der Speicherbaugruppe eine streifen spezifische Adressgenerierung vorgesehen, ergibt sich eine Reduzierung der Anzahl der Adressleitungen des Index-Register logischerweise auf die zur Adressierung, des erfindungsgemäßen Teil des Speicherbereichs notwendige Anzahl der Leitungen. Unabhängig davon kann die Anzahl der Adressleitungen auf das zur Lösung der jeweiligen Aufgabe notwendige Maß weiter reduziert werden. Damit kann nicht der gesamte zur Verfügung stehende Adressbereich durch das Index-Register abgedeckt werden sondern nur ein Adressbereich der je nach Verfahren zur Ermittlung der streifen spezifischen Adresse, relativ zur globalen Adresse der AGU angeordnet ist. Mit der Reduzierung der Adressleitungen bzw. der Bitstellen des Index-Register reduziert sich der Aufwand bei der Implementierung.

[0018] In einer weiteren günstigen Ausführung der Erfindung ist vorgesehen, dass der Prozessor zur parallelen Datenverarbeitung ein SIMD- oder ein Superscalar-Prozessor ist.

[0019] Gemäß der Erfindung wird die Aufgabe verfahrensseitig dadurch gelöst, dass die Adressgenerierung streifen spezifisch erfolgt.

[0020] Um einen voneinander unabhängigen Datenzugriff einzelner Verarbeitungseinheiten auf die Speicherbaugruppe zu realisieren, muss für jeden Streifen eine spezifische Streifenadresse generiert werden.

[0021] In einer günstigen Ausführung des Verfahrens ist vorgesehen, dass in einem Streifenadressenspeicher streifen spezifische Werte gespeichert werden und dass die globale Adresse mit dem streifen spezifischen Wert aus dem Streifen

fenadressenspeicher zur streifenpezifischen Adresse verarbeitet wird.

[0022] Der im Streifenadressenspeicher abgelegte Wert kann aufgabenspezifisch gesetzt werden oder ist das Ergebnis einer vorangegangenen Operation der Verarbeitungseinheit. Dieser Wert kann beispielsweise zu der von der AGU generierten globalen Adresse addiert werden. Das Ergebnis ist die streifen spezifische Adresse eines Streifens. Jeder für dieses Verfahren vorgesehene Streifen verfügt über die zur Generierung der streifen spezifischen Adresse notwendige Verarbeitungseinheit (LAGU) und mindestens einen Streifenadressenspeicher (Index-Register). Damit kann die Adressberechnung in den Streifen parallel und unabhängig voneinander erfolgen. Die Übernahme der Daten aus der Speicherbaugruppe in die zugeordneten Verarbeitungseinheiten wird in einem der Adressberechnung nachfolgendem Zyklus für alle Verarbeitungseinheiten gleichzeitig durchgeführt.

[0023] In einer weiteren günstigen Ausführung des Verfahrens ist vorgesehen, dass die streifen spezifischen Werte lokal im Streifen gespeichert sind.

[0024] Um das Schaltungslayout logisch und entsprechend physisch zu strukturieren, wird das Register zur Speicherung des streifen spezifischen Werts lokal im Streifen angeordnet.

[0025] In einer günstigen Ausführungsform des Verfahrens ist vorgesehen, dass die Verarbeitung durch Addition oder Subtraktion der globalen Adresse mit dem streifen spezifischen Wert oder durch Substitution von Teilwerten der globalen Adresse mit dem streifen spezifischen Wert oder durch Verschieben um eine mit dem streifen spezifischen Wert festgelegte Richtung und Größe oder dass die Verarbeitung durch eine Kombination zweier oder mehrerer dieser Verarbeitungsarten erfolgt.

[0026] Die Generierung der streifen spezifischen Adresse erfolgt beispielsweise, indem zur globalen Adresse der streifen spezifische Wert des Index-Registers addiert wird. Eine andere Möglichkeit ist das Ersetzen des niederwertigen Teils der globalen Adresse durch den streifen spezifischen Wert (Substitution). Eine weitere Möglichkeit besteht in der Kombination der Verarbeitungsarten. Beispielsweise wird in einem ersten Schritt die globale Adresse um vier Stellen nach links verschoben und anschließend erfolgt in einem zweiten Schritt die Substitution der vier niederwertigsten Bitstellen mit dem streifen spezifischen Wert.

[0027] Die Erfindung soll nachfolgend anhand eines Ausführungsbeispiels näher erläutert werden. In der zugehörigen Zeichnung ist eine prinzipielle Schaltungsanordnung zur streifen spezifischen Adressengenerierung dargestellt.

[0028] In der Anordnung sind auszugsweise zwei Streifen 1 eines Prozessors zur parallelen Datenverarbeitung dargestellt. In jedem Streifen 1 ist eine Verarbeitungseinheit 2, mindestens ein Index-Register 3, eine lokale Adressengenerierungseinheit (LAGU) 4 und eine RAM-Speicherbaugruppe mit integriertem Adressdecoder 5 angeordnet. Der RAM-Speicher 5 ist in Elemente 7 eingeteilt. Die Verarbeitungseinheit 2 ist mit dem RAM-Speicher 5 durch einen Datenbus 8 verbunden. Neben den Streifen 1 ist die Adressengenerierungseinheit (AGU) 6, die Teil des hier nicht näher dargestellten Steuerwerks ist, dargestellt.

[0029] Im Beispiel soll eine parallele Quantisierung von Werten über Look-Up-Tables durchgeführt werden. Dazu ist in den RAM-Speicherbaugruppen 5 jeweils eine Look-Up-Table ab einer festgelegten Basisadresse hinterlegt. Der Wert des jeweiligen Index-Registers 3 wird durch eine vorangegangene Operation der zugehörigen Verarbeitungseinheit 2 erzeugt.

[0030] Zum Auslesen eines Elements 7 aus einer der Verarbeitungseinheit 2 zugeordneten RAM-Speicherbaugruppe

5 erzeugt die AGU 6 eine globale Adresse 9, die an allen Streifen 1 des Prozessors anliegt. In diesem Fall ist das ein Zeiger auf den Anfang der Look-Up-Table. Mit dem Wert des Index-Registers 3 und der globalen Adresse 9 der AGU 6 wird in der LAGU 4 durch Addition beider Adressen die streifen spezifische Adresse 10 erzeugt, mit deren Hilfe das entsprechende Element 7 aus der Look-Up-Table ausgewählt und über den Datenbus 8 in die Verarbeitungseinheit 2 übernommen wird. In den benachbarten Streifen 1 wird die Generierung der streifen spezifischen Adresse 10 mit den entsprechenden Index-Register-Inhalten analog dazu durchgeführt. Damit kann die Übernahme der verschiedenen Elemente 7 aus den Look-Up-Tables in die Verarbeitungseinheiten 2 über den Datenbus 8 in einem der Adressengenerierung folgenden Lesezyklus erfolgen.

#### Bezugszeichenliste

- 1 Streifen
- 2 Verarbeitungseinheit
- 3 Index-Register
- 4 lokale Adressengenerierungseinheit (LAGU)
- 5 RAM-Speicherbaugruppe mit Adressdecoder
- 6 Adressengenerierungseinheit (AGU)
- 7 Element
- 8 Datenbus
- 9 globale Adresse
- 10 streifen spezifische Adresse

#### Patentansprüche

1. Anordnung bestehend aus einem Prozessor zur parallelen Datenverarbeitung, der in mehrere parallel zueinander angeordnete Streifen (1) eingeteilt ist, die jeweils eine Verarbeitungseinheit (2) und einen Teil einer Speicherbaugruppe (5) beinhalten und einer Adressengenerierungseinheit (AGU) (6), **dadurch gekennzeichnet**, dass für mindestens einen der Streifen (1) eine lokale Adressengenerierungseinheit (LAGU) (4) angeordnet ist, die einerseits mit der Adressengenerierungseinheit (AGU) und andererseits mit einem Streifenadressenspeicher verbunden ist.
2. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass der Streifenadressenspeicher aus einem dem Streifen (1) zugeordneten Index-Register (3) besteht.
3. Anordnung nach Anspruch 1 und 2, **dadurch gekennzeichnet**, dass das Index-Register (3) lokal im Streifen-Layout angeordnet ist.
4. Anordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, dass die Speicherbaugruppe ganz oder teilweise durch einzelne RAM-Speicher mit integriertem Adressdecoder (5), die den Streifen (1) zugeordnet sind, aufgebaut ist.
5. Anordnung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, dass die Anzahl der Adressleitungen eines Index-Register (3) kleiner als die Anzahl der Adressleitungen der AGU (6) ist.
6. Anordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass der Prozessor zur parallelen Datenverarbeitung ein SIMD- oder Superscalar-Prozessor ist.
7. Verfahren zur Adressengenerierung in einem streifenweise aufgebauten Prozessor zur parallelen Datenverarbeitung bei dem eine globale Adresse generiert wird mittels derer ein Speicher adressierbar ist, **dadurch gekennzeichnet**, dass die Adressengenerierung streifen spezifisch erfolgt.
8. Verfahren nach Anspruch 7, **dadurch gekennzeichnet**

net, dass in einem Streifenadressspeicher streifen-  
spezifische Werte gespeichert werden und dass die globale  
Adresse mit dem streifenspezifischen Wert aus dem  
Streifenadressspeicher zur streifenspezifischen  
Adresse verarbeitet wird.

9. Verfahren nach Anspruch 8, dadurch gekennzeich-  
net, dass die streifenspezifischen Werte lokal im Strei-  
fen gespeichert sind.

10. Verfahren nach Anspruch 8 oder 9, dadurch ge-  
kennzeichnet, dass die Verarbeitung durch Addition  
oder Subtraktion der globalen Adresse mit dem strei-  
fenspezifischen Wert oder durch Substitution von Wer-  
ten der globalen Adresse mit dem streifenspezifischen  
Wert oder durch Verschieben um eine mit dem streifen-  
spezifischen Wert festgelegte Richtung und Größe oder  
dass die Verarbeitung durch eine Kombination zweier  
oder mehrerer dieser Verarbeitungsarten erfolgt.

---

Hierzu 1 Seite(n) Zeichnungen

---

20

25

30

35

40

45

50

55

60

65

- Leerseite -

